

Cognome..... Nome.....

## Architettura degli Elaboratori

Classe 3 – Prof.ssa Anselmo

Appello del 22 Giugno 2015

### Attenzione:

Inserire **i propri dati** nell'apposito spazio sottostante e **in testa a questa pagina**.

Preparare un documento di identità.

**Non voltare la pagina** finché non sarà dato il via.

Dal via avrete **90 minuti** di tempo per rispondere alle domande.

La prova consta di **16** domande a risposta multipla e **3** domande aperte, per un totale di **100** punti.

Per le domande a risposta multipla occorre rispondere inserendo la lettera scelta nell'apposito **quadrato** accanto al numero della domanda (o in un quadratino da voi disegnato accanto se non fosse chiaro altrimenti) e inoltre:

ogni risposta esatta vale **3 punti**;

ogni risposta errata vale **-1 punto**;

ogni domanda lasciata in bianco vale **0 punti**.

Le domande aperte valgono in tutto **52** punti.

Si è ammessi all'orale se si totalizzano almeno **40/100** punti di cui almeno **12/48** nelle domande a risposta multipla.

Gli appunti e i calcoli vanno scritti negli spazi vuoti delle prossime pagine.

Potete (non è necessario) indicare qui di seguito una o due date in cui avete seri motivi per non poter sostenere l'orale: \_\_\_\_\_

COGNOME: .....

Nome: .....

Numero di matricola: .....

voto/48	voto/52	voto/100

## Domande a risposta multipla

- 1) 1   
 Qual è la rappresentazione in complemento a due dell'intero:  $-43$ ?  
 A. 1010101 C. 1101011  
 B. 0101011 D. Nessuna delle risposte precedenti.
- 2) 2   
 Qual è la rappresentazione esadecimale dell'intero decimale 2617?  
 A. 40F C. A39  
 B. 817 D. Nessuna delle risposte precedenti.
- 3) 3   
 La tavola di verità di  $f(x,y) = (x \cdot y) \cdot (x+1)$  è
- A.

x	y	f
0	0	1
0	1	0
1	0	0
1	1	0

B.

x	y	f
0	0	0
0	1	1
1	0	1
1	1	1

C.

x	y	f
0	0	0
0	1	1
1	0	0
1	1	1

D. Nessuna delle precedenti
- 4) 4   
 Un Multiplexer 8 a 1 ha:  
 A. 4 input, 1 output e 1 segnale di controllo C. 4 input, 1 output, 2 segnali di controllo  
 B. 8 input, 1 output e 2 segnali di controllo D. Nessuna delle precedenti
- 5) 5   
 Un banco di registri (register file) ha come output:  
 A. Il dato letto e il dato scritto (entrambi a 32 bit)  
 B. I due dati letti (entrambi a 32 bit)  
 C. Il dato letto (32 bit) e un segnale di controllo a 1 bit  
 D. Nessuna delle risposte precedenti.
- 6) 6   
 L'Unità Logico Aritmetica (come studiata) necessita di:  
 A. 3 segnali di controllo: AInvert (1 bit), BInvert (1 bit), Operation (1 bit)  
 B. 4 segnali di controllo: ANegate (1 bit), BInvert (1 bit), Operation (2 bit)  
 C. 4 segnali di controllo: AInvert (1 bit), BNegate (1 bit), Operation (2 bit)  
 D. Nessuna delle risposte precedenti
- 7) 7   
 Si supponga che il contenuto iniziale dei registri  $\$s0$ ,  $\$s1$  sia rispettivamente 1 e 20. Quale sarà il contenuto di  $\$s0$  dopo l'esecuzione della seguente istruzione?
- ```

slt $t0, $s0, $s1
bne $t0, $s1, label
label: sll $s0, $s0, 1
    
```
- A. 2 C. 1  
 B. 20 D. Nessuna delle risposte precedenti
- 8) 8   
 I formati delle istruzioni `bne` e `subi`  
 A. sono diversi  
 B. sono uguali e sono suddivisi in: 6 bit (codice operativo), 5 bit (1° registro), 5 bit (2° registro), 16 bit (costante / indirizzo)  
 C. sono uguali e sono suddivisi in: 6 bit (del codice operativo), 5 bit (1° registro sorgente), 5 bit (2° registro sorgente), 5 bit (registro destinazione), 5 bit (shamt), 5 bit (funzione)  
 D. Nessuna delle risposte precedenti

- 9) 9   
Qual è il tempo di esecuzione di un processore che esegue 1000 istruzioni con frequenza di clock 5 GHz e CPI=1,25?  
A.  $2,5 \cdot 10^2$  sec.  
B. 625 sec  
C.  $2,5 \cdot 10^{-7}$  sec  
D. Nessuna delle risposte precedenti.
- 10) 10   
Nello schema di implementazione studiata per il processore MIPS, il primo dato in ingresso alla ALU:  
A. È il primo dato letto dal banco dei registri  
B. viene scelto fra il secondo dato letto dal banco dei registri e l'estensione del segno dei 16 bit più significativi dell'istruzione  
C. viene scelto fra il secondo dato letto dal banco dei registri e l'estensione del segno dei 16 bit meno significativi dell'istruzione  
D. Nessuna delle precedenti
- 11) 11   
Nella esecuzione di una istruzione `beq` il segnale di controllo `MemWrite`:  
A. è 1 e permette la scrittura nel banco dei registri  
B. è 1 e permette la scrittura nella memoria dati  
C. è 0 ed evita la scrittura nella memoria dati  
D. Nessuna delle precedenti
- 12) 12   
In un processore con pipeline (come studiato), la durata del ciclo di clock è uguale alla durata:  
A. dell'istruzione più veloce  
B. dell'istruzione `lw`  
C. dello stadio più lento  
D. Nessuna delle risposte precedenti
- 13) 13   
Si consideri l'implementazione studiata del processore con pipeline.  
Cosa fa l'istruzione `lw $s1, 24($s2)` nello stadio WB?  
A. Eseguce la somma del contenuto del registro `$s2` con 24.  
B. Preleva l'istruzione dalla memoria istruzioni.  
C. Scrive nel registro `$s1` il dato prelevato dalla memoria  
D. Nessuna delle risposte precedenti
- 14) 14   
In una memoria cache a mappatura diretta si ha una *hit* (successo) in corrispondenza di una istruzione se:  
A. L'indirizzo era stato già richiesto in precedenza (dall'accensione della macchina)  
B. Nella linea indicata dal campo indice dell'istruzione, il bit di validità è posto a 1.  
C. Nella linea indicata dal campo indice dell'istruzione: il campo tag è uguale al campo tag dell'istruzione  
D. Nessuna delle risposte precedenti
- 15) 15   
La dimensione di una memoria cache con 1024 blocchi ognuno di 2 parole è:  
A. 8 KB  
B. 4 KB  
C. 2 KB  
D. Nessuna delle risposte precedenti
- 16) 16   
Si consideri una memoria cache con 512 blocchi ognuno di 2 parole.  
Un'istruzione a 32 bit verrà suddivisa nei campi tag, indice, offset che avranno un numero di bit rispettivamente di:  
A. 20, 8, 4  
B. 15, 9, 8  
C. 20, 9, 3  
D. Nessuna delle risposte precedenti

## Domande a risposta aperta

### Domanda 1. (18 punti)

Si consideri lo schema implementativo studiato di un processore a singolo ciclo. Si disegni **soltanto** la parte dell'unità di elaborazione necessaria ad eseguire le istruzioni di **and** e di accesso alla memoria **sw**. Non è necessario inserire l'unità di controllo.

### Domanda 2. (18 punti)

Trovare l'espressione minimale SOP per la funzione

$$f(x_4, x_3, x_2, x_1) = OR(m_0, m_1, m_2, m_4, m_8, m_9, m_{10}, m_{14})$$

utilizzando la mappa di Karnaugh. E' necessario indicare: a) tutti i cubi massimali, b) i cubi essenziali, c) i cubi scelti e d) l'espressione risultante.

Si noti che ogni *min*-termine è definito considerando le variabili nell'ordine  $x_4, x_3, x_2, x_1$ . Si ricordi che in una mappa di Karnaugh per una funzione di 4 variabili  $x_4, x_3, x_2, x_1$ , si ha:  $x_1=1$  nella seconda e nella terza riga,  $x_2=1$  nella terza e nella quarta riga,  $x_3=1$  nella seconda e nella terza colonna,  $x_4=1$  nella terza e nella quarta colonna.

**Domanda 3.** (16 punti)

Si scriva il codice *assembler* MIPS corrispondente alla seguente istruzione in C, supponendo che le variabili *f* e *g* siano assegnate rispettivamente ai registri  $\$s0$  e  $\$s1$ , e che l'indirizzo base del vettore *A* sia contenuto nel registro  $\$s2$ . E' necessario inserire i commenti.

```
if (g==A[3]) f=2*g
```

PAGINA PER APPUNTI