

Cognome..... Nome.....

## Architettura degli Elaboratori

Classe 3 – Prof.ssa Anselmo

Appello del 9 Luglio 2015

### Attenzione:

Inserire **i propri dati** nell'apposito spazio sottostante e **in testa a questa pagina**.

Preparare un documento di identità.

**Non voltare la pagina** finché non sarà dato il via.

Dal via avrete **90 minuti** di tempo per rispondere alle domande.

La prova consta di **16** domande a risposta multipla e **3** domande aperte, per un totale di **100** punti.

Per le domande a risposta multipla occorre rispondere inserendo la lettera scelta nell'apposito **quadrato** accanto al numero della domanda (o in un quadratino da voi disegnato accanto se non fosse chiaro altrimenti) e inoltre:

ogni risposta esatta vale **3 punti**;

ogni risposta errata vale **-1 punto**;

ogni domanda lasciata in bianco vale **0 punti**.

Le domande aperte valgono in tutto **52** punti.

Si è ammessi all'orale se si totalizzano almeno **40/100** punti di cui almeno **12/48** nelle domande a risposta multipla.

Gli appunti e i calcoli vanno scritti negli spazi vuoti delle prossime pagine.

Gli **orali** si terranno nella settimana **dal 13 al 17** luglio. Potete (non è necessario) indicare qui di seguito una data in cui avete seri motivi per non poter sostenere l'orale:

\_\_\_\_\_

COGNOME: .....

Nome: .....

Numero di matricola: .....

voto/48	voto/52	voto/100

## Domande a risposta multipla

1) 1   
 Qual è la rappresentazione in complemento a due dell'intero: -21?  
 A. 1010101 C. 1101011  
 B. 0101011 D. Nessuna delle risposte precedenti.

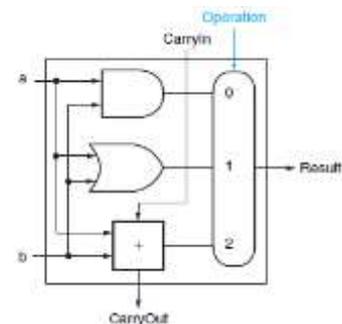
2) 2   
 Qual è l'intero decimale la cui rappresentazione esadecimale è 12b?  
 A. 298 C. 299  
 B. -299 D. Nessuna delle risposte precedenti.

3) 3   
 L'espressione **canonica** SOP per la funzione  $f(x_3, x_2, x_1) = x_2 x_1 + x_3 x_2$  è:  
 A. E' già in forma canonica SOP C.  $x_3 x_2 x_1 + x_3 x_2 \bar{x}_1$   
 B.  $x_3 x_2 x_1 + x_3 x_2 \bar{x}_1 + \bar{x}_3 x_2 x_1$  D. Nessuna delle risposte precedenti

4) 4   
 Un decoder 3 a 8 è composto da:  
 A. 3 porte NOT ed 8 porte AND C. 8 porte AND (soltanto)  
 B. 3 porte NOT ed 8 porte OR D. Nessuna delle precedenti

5) 5   
 L'implementazione delle due porte di lettura nel banco di registri avviene tramite:  
 A. Un decoder 5-a-32 C. Due multiplexer 32-a-1  
 B. Un multiplexer 32-a-1 D. Nessuna delle risposte precedenti

6) 6   
 Lo schema in figura rappresenta:  
 A. Una ALU a 32-bit per le operazioni di and, or, somma.  
 B. Una ALU a 32-bit per le operazioni di and, or, somma e sottrazione.  
 C. Una ALU a 1-bit per le operazioni di and, or, somma.  
 A. Nessuna delle risposte precedenti.



7) 7   
 Supponendo che il contenuto del registro \$s0 sia inizialmente 1, e il contenuto del registro \$s1 sia inizialmente 8, quali saranno i contenuti di \$s0 e di \$s1, rispettivamente, quando verrà raggiunta l'istruzione di etichetta Exit?

```

Loop: beq $s0, $s1, Exit
      add $s0, $s0, $s0
      j Loop
Exit: ...
    
```

- A. 1 e 8 C. 1 e 1  
 B. 8 e 8 D. Nessuna delle risposte precedenti.

8) 8   
 Un flip-flop master-slave (come studiato) :  
 A. E' abilitato durante la fase positiva del clock  
 B. E' abilitato solo sul fronte in discesa del clock  
 C. E' abilitato solo sul fronte in salita del clock  
 D. Nessuna delle risposte precedenti

- 9) 9   
Qual è il tempo di esecuzione di un processore che esegue 10000 istruzioni con frequenza di clock 2,5 GHz e CPI=1,25?  
A.  $0,5 \cdot 10^4$  sec. C.  $0,5 \cdot 10^{-5}$  sec  
B. 200 sec D. Nessuna delle risposte precedenti.
- 10) 10   
Nello schema di implementazione studiata per il processore MIPS, le seguenti istruzioni utilizzano il modulo di estensione del segno:  
A. add e lw  
B. addi e lw  
C. add e beq  
D. Nessuna delle precedenti
- 11) 11   
L'Unità di controllo della ALU riceve in ingresso:  
A. I 6 bit più significativi dell'istruzione e il segnale di controllo ALUOp a 1 bit  
B. I 6 bit meno significativi dell'istruzione e il segnale di controllo ALUOp a 1 bit  
C. I 6 bit più significativi dell'istruzione e il segnale di controllo ALUOp a 2 bit  
D. Nessuna delle precedenti
- 12) 12   
Il pipelining:  
A. Riduce il tempo per eseguire una singola istruzione  
B. Riduce il numero di istruzioni eseguibili nell'unità di tempo  
C. Aumenta il numero di istruzioni eseguibili nell'unità di tempo  
D. Nessuna delle risposte precedenti
- 13) 13   
Si consideri l'implementazione studiata del processore con pipeline.  
Cosa fa l'istruzione `lw $s1, 24($s2)` nello stadio ID?  
A. Esegue la somma del contenuto del registro \$s2 con 24.  
B. Preleva l'istruzione dalla memoria istruzioni e aggiorna il Program Counter.  
C. Scrive nel registro \$s1 il dato prelevato dalla memoria  
D. Nessuna delle risposte precedenti
- 14) 14   
In una memoria cache a mappatura diretta si ha una *hit* (successo) in corrispondenza di una istruzione se:  
A. L'indirizzo era stato già richiesto in precedenza (dall'accensione della macchina)  
B. Nella linea indicata dal campo indice dell'istruzione, il bit di validità è posto a 0 e il campo tag è uguale al campo tag dell'istruzione  
C. Nella linea indicata dal campo indice dell'istruzione, il bit di validità è posto a 1 e il campo tag è diverso dal campo tag dell'istruzione  
D. Nessuna delle risposte precedenti
- 15) 15   
In una memoria cache a mappatura diretta se il campo `indice` dell'istruzione ha 7 bit allora:  
A. Ogni blocco della memoria cache è di  $2^7$  byte  
B. Ogni blocco della memoria cache contiene 7 parole  
C. La memoria della cache ha 7 blocchi  
D. Nessuna delle risposte precedenti
- 16) 16   
Si consideri una memoria cache con 512 blocchi ognuno di 2 parole.  
Un'istruzione a 32 bit verrà suddivisa nei campi tag, indice, offset che avranno un numero di bit rispettivamente di:  
A. 20, 8, 4 C. 20, 3, 9  
B. 15, 9, 8 D. Nessuna delle risposte precedenti

## Domande a risposta aperta

### Domanda 1. (18 punti)

- Si dia un esempio esplicito a vostra scelta di una istruzione **sw** (*store word*).
- Si indichi il formato di **sw** e la stringa binaria che la rappresenta (può essere utile sapere che il codice operativo di **sw** è 43).
- Si spieghi qual è l'effetto dell'esecuzione dell'istruzione indicata al punto a).
- Si consideri lo schema implementativo studiato di un processore a singolo ciclo. Si disegni **soltanto** la parte dell'unità di elaborazione necessaria ad eseguire l'istruzione di **sw**. Non è necessario inserire l'unità di controllo.

### Domanda 2. (18 punti)

Trovare l'espressione minimale SOP per la funzione

$$f(x_4, x_3, x_2, x_1) = OR(m_0, m_2, m_4, m_6, m_9, m_{10}, m_{11}, m_{13}, m_{15})$$

utilizzando la mappa di Karnaugh. E' necessario indicare: a) tutti i cubi massimali, b) i cubi essenziali, c) i cubi scelti e d) l'espressione risultante.

Si noti che ogni *min*-termine è definito considerando le variabili nell'ordine  $x_4, x_3, x_2, x_1$ . Si ricordi che in una mappa di Karnaugh per una funzione di 4 variabili  $x_4, x_3, x_2, x_1$ , si ha:  $x_1=1$  nella seconda e nella terza riga,  $x_2=1$  nella terza e nella quarta riga,  $x_3=1$  nella seconda e nella terza colonna,  $x_4=1$  nella terza e nella quarta colonna.

**Domanda 3.** (16 punti)

Si scriva il codice *assembler* MIPS corrispondente alla seguente istruzione in C, supponendo che le variabili *f* e *g* siano assegnate rispettivamente ai registri  $\$s0$  e  $\$s1$ , e che l'indirizzo base del vettore *A* sia contenuto nel registro  $\$s2$ . E' necessario inserire i commenti.

```
if (g==A[3]) f=g+2; else f=f-g
```

PAGINA PER APPUNTI